

Docket No.: 60188-773

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kyoji YAMASHITA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 13, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-271883, filed July 8, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: February 13, 2004

60188-773
YAMASHITA et al.
February 13, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 7 月 8 日

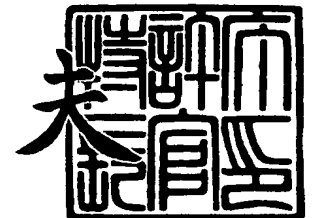
出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 7 1 8 8 3
[ST. 10/C]: [J P 2 0 0 3 - 2 7 1 8 8 3]

出 願 人
Applicant(s): 松下電器産業株式会社
株式会社ルネサステクノロジ

2 0 0 3 年 1 0 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 5 7 3 0

【書類名】 特許願
【整理番号】 2926440204
【提出日】 平成15年 7月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/784
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 山下 恭司
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 國清 辰也
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 渡邊 哲也
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 金本 俊幾
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

半導体チップ内に、第 1 の導体部材と、上記第 1 の導体部材との間で絶縁層を挟んで設けられた第 2 の導体部材と、上記第 1、第 2 の導体部材との間でそれぞれ絶縁層を挟んで設けられた第 3 の導体部材と、容量測定回路とを有する半導体装置であって、

上記容量測定回路は、

上記第 1 の導体部材に第 1 の充電用スイッチングトランジスタを介して接続され、上記第 1 の導体部材を充電させるための充電用電圧供給部と、

上記第 2、第 3 の導体部材に第 1、第 2 の電流測定用スイッチングトランジスタを介してそれぞれ接続され、上記第 2、第 3 の導体部材から流れる電流を取り出すための電流取り出し部と、

上記各スイッチングトランジスタのオン・オフを制御するための制御回路とを備えるとともに、

上記第 2 の導体部材は、上記制御回路によってオン・オフを制御される第 2 の充電用スイッチングトランジスタを介して上記充電用電圧供給部に接続されている、半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

上記第 3 の導体部材は、第 3 の充電用スイッチングトランジスタを介して上記充電用電圧供給部に接続され、

上記第 1 の導体部材は、第 3 の電流測定用スイッチングトランジスタを介して上記電流取り出し部に接続されている、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

上記第 1～第 3 の導体部材と上記電流取り出し部との間には、上記各電流測定用スイッチングトランジスタと直列に配置され、上記各電流測定用スイッチングトランジスタよりも高いしきい値電圧を有するオフリーク低減用スイッチングトランジスタがそれぞれ配置されている、半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

上記各オフリーク低減用スイッチングトランジスタは、それに直列に接続された電流測定用スイッチングトランジスタと共通のゲートバイアスによってオン・オフを制御される、半導体装置。

【請求項 5】

請求項 2 記載の半導体装置において、

放電部をさらに備え、

上記第 1～第 3 の導体部材は、それぞれ第 1～第 3 の放電用スイッチングトランジスタを介して上記放電部に接続されている、半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

上記第 1 の充電用スイッチングトランジスタ及び第 1 の放電用スイッチングトランジスタは、ドレイン同士が接続された PMISFET 及び NMISFET であり、かつ、この共通のドレインが上記第 1 の導体部材に接続されており、

上記第 2 の充電用スイッチングトランジスタ及び第 2 の放電用スイッチングトランジスタは、ドレイン同士が接続された PMISFET 及び NMISFET であり、かつ、この共通のドレインが上記第 2 の導体部材に接続されており、

上記第 3 の充電用スイッチングトランジスタ及び第 3 の放電用スイッチングトランジスタは、ドレイン同士が接続された PMISFET 及び NMISFET であり、かつ、この共通のドレインが上記第 3 の導体部材に接続されている、半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

上記制御回路は、上記第 1 ～ 第 3 の導体部材のうちいずれか 2 つの導体部材間の容量を測定するモードにおいては、上記第 1 ～ 第 3 の放電用スイッチングトランジスタのうち電流を測定しない導体部材につながる放電用スイッチングトランジスタをオンに維持する、半導体装置。

【請求項 8】

請求項 1 ～ 7 のうちいずれか 1 つに記載の半導体装置において、
上記第 1 ～ 第 3 の導体部材は、いずれも配線である、半導体装置。

【請求項 9】

請求項 1 ～ 7 のうちいずれか 1 つに記載の半導体装置において、
上記第 1 ～ 第 3 の導体部材は、M I S F E T のソース・ドレイン領域、基板領域及びゲート電極である、半導体装置。

【請求項 1 0】

請求項 9 記載の半導体装置において、
上記 M I S F E T は、N M I S F E T であり、
上記基板領域は、トリプルウェルの最上の P ウェルである、半導体装置。

【請求項 1 1】

請求項 1 ～ 1 0 のうちいずれか 1 つに記載の半導体装置において、
上記 3 つの導体部材に加えて、第 4 の導体部材を備え、
上記容量測定回路において、上記第 4 の導体部材は、第 4 の充電用スイッチングトランジスタを介して上記充電用電圧供給部に接続され、かつ、第 4 の電流測定用スイッチングトランジスタを介して上記電流電流モニター用パッドに接続されている、半導体装置。

【請求項 1 2】

請求項 1 ～ 1 1 のうちいずれか 1 つに記載の半導体装置において、
上記充電用電圧供給部は、上記制御回路に供給される電源電圧よりも低い電源電圧によって動作する、半導体装置。

【請求項 1 3】

請求項 1 ～ 1 2 のうちいずれか 1 つに記載の半導体装置において、
上記容量測定回路は、外部クロック信号よりも周波数の高いクロック信号を生成するための発振器を備えており、
上記制御回路は、上記発振器から出力されるクロック信号に基づいて動作する、半導体装置。

【請求項 1 4】

請求項 1 3 記載の半導体装置において、
上記容量測定回路は、上記発振器から出力されるクロック信号を分周するための分周器を備えている、半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、半導体装置における容量成分分離測定方法及びその機能を有するTEGパターンに関するものである。

【背景技術】

【0002】

高性能のLSIの設計開発においては、LSI内に配置される半導体素子の特性を高精度で抽出（測定）することが重要であり、その抽出手法（測定手法）及びTEG（Test Element Group）の最適設計が必要である。

【0003】

近年、半導体素子の微細化に伴い、クロストークによるノイズ、ミラー容量による遅延劣化の影響が顕在化しているため、半導体装置の特性の中でも、個々の配線や半導体層などの導体部材の容量成分を高精度で抽出することが要求されている。

【0004】

そこで、従来より、特許文献1に開示されるような寄生容量の抽出手法が知られている。この手法の目的は、配線間容量C12とC13とを分離して測定することにある。

【0005】

図7は、特許文献1に開示されている寄生容量の測定のための容量測定回路の構成を示す回路図である。

【0006】

同図に示すように、PMISFET101（P-type Metal Insulator Semiconductor Field Effect Transistor）とNMISFET102（N-type Metal Insulator Semiconductor Field Effect Transistor）とが直列に接続されており、PMISFET101及びNMISFET102の各ドレインと、配線W1とはノードN1によって接続されている。PMISFET101のソースは電源電圧Vddを供給する電源パッドPSTに接続され、NMISFET102のソースは接地パッドGND（電圧Vss）に接続されている。PMISFET101のゲートは充電用パッド111に接続され、NMISFET102のゲートは放電用パッド112に接続されている。また、配線W1よりも上層に配置され平面図でみると配線W1に交差する配線W2と、配線W1にほぼ平行に延びるとともに、平面図でみると配線W2と交差する配線W3とが設けられている。配線W2は、ノードN2及びNMISFET103を介して第1電流測定用パッド113に接続され、配線W3は、ノードN3及びNMISFET104を介して第2電流測定用パッド114に接続されている。NMISFET103、104の各ゲートは、電流モニター用パッド115に接続されている。そして、第1、第2電流測定用パッド113、114に電流計121、122のプローブを接触させて、電流I1、I2を測定し得るように構成されている。電流計121、122のプローブが電流測定用パッド113、114に接触されたときには、NMISFET103、104のソースが0Vに固定される。

【0007】

また、配線W2はNMISFET105を介して接地パッドGNDに接続され、配線W3はNMISFET106を介して接地パッドGNDに接続されている。

【0008】

ここで、配線W1と配線W2との間の容量をC12とし、配線W1と配線W3との間の容量をC13とし、配線W2と配線W3との間の容量をC23とする。ただし、容量C12とは、配線W1に電圧を印加したときに配線W2に誘起される電荷を印加した電圧で割った値である。容量C13とは、配線W1に電圧を印加したときに配線W3に誘起される電荷を印加した電圧で割った値である。

【0009】

図8は、図7に示す容量測定回路の動作を示すタイミング図である。従来の容量測定回

路回路動作について、図8を参照しながら説明する。

【0010】

まず、電源電圧V_{dd}は電圧V_{cc}に固定され、接地電圧V_{ss}は0Vに固定されている。そして、充電用電圧V₁₁₁と放電用電圧V₁₁₂とは、どのタイミングにおいても、PMISFET101又はNMISFET102双方がオン状態にあることはないように、電圧V_{cc}又は電圧V_{ss}に切り換えられる。ただし、PMISFET101, NMISFET102の双方がオフ状態になるタイミングは存在する。したがって、PMISFET101及びNMISFET102の双方を貫通する電流は生じない。

【0011】

そして、タイミングt₀～t₁の間は、放電用電圧V₁₁₂が電圧V_{cc}になって、NMISFET102, 105, 106がオン状態にあるので、ノードN1, N2, N3の電位が接地電圧V_{ss}に固定される。

【0012】

タイミングt₁～t₂の間には、全てのMISFET101, 102, 103, 104, 105, 106がオフ状態になる。

【0013】

タイミングt₂～t₃の間には、PMISFET101及びNMISFET102はオフ状態になっており、NMISFET103, 104がオン状態にあるので、電流のモニタリングが可能な状態である。

【0014】

タイミングt₃～t₄の間は、PMISFET101がオン状態であるので、配線W1から配線W2, W3に電荷が誘起される。そこで、電流計121, 122を用いて電流をモニタすることにより、容量C12, C13, C23を測定することができる。このタイミングt₃からt₄までの時間は、配線W1に電荷が誘起されて、電流計121, 122によって電流をモニタするのに十分な時間に設定されている。

【0015】

タイミングt₄～t₅の間には、PMISFET101がオフ状態になる。

【0016】

タイミングt₅～t₆の間には、全てのMISFETがオフ状態になり、電流のモニタリングが不可能な状態になる。

【0017】

タイミングt₆～t₇の間は、タイミングt₀～t₁の間と同じ動作を行ない、以下、上述のタイミングt₁～t₇の動作を周期的に繰り返す。

【0018】

ここで、この回路を利用して、測定装置で観測するのは、電流計121, 122によってそれぞれ検出される電流I₁, I₂の時間平均値である。ゲート入力波形の周波数をf(=1/T)(Tは、タイミングt₀からt₇までの時間)とすると、下記式(1), (2)

$$I_1 = C_{12} \cdot V_{cc} \cdot f \quad (1)$$

$$I_2 = C_{13} \cdot V_{cc} \cdot f \quad (2)$$

が成立する。

【0019】

そして、式(1), (2)を用いると、測定容量値C₁₂, C₁₃は下記式(3), (4)

$$C_{12} = I_1 / (V_{cc} \cdot f) \quad (3)$$

$$C_{13} = I_2 / (V_{cc} \cdot f) \quad (4)$$

から求められる。

【0020】

この従来手法の特徴は、トランジスタの寄生容量をキャンセルする必要がなく、所望の容量C₁₂, C₁₃を直接測定することができる点である。

【特許文献1】USP6, 300, 765B1

【発明の開示】

【発明が解決しようとする課題】

【0021】

しかしながら、従来手法においては、

(1) 図7に示す、配線W2と配線W3との間の容量値C23を、図7に示す回路パターンを用いて測定することができない

(2) 図7に示す回路パターンを用いても、配線W2に電圧を印加したときに配線W1に誘起される電荷や、配線W3に電圧を印加したときに配線W1に誘起される電荷を測定することができない

(3) 測定可能な項目の割にはパッド数が多く、一般にパッド面積は $100\mu\text{m} \times 100\mu\text{m}$ 程度であるために半導体装置の占有面積の増大を招くという欠点がある。

【0022】

また、欠点(2)に関する事項として、MIS容量における $C_{gd} (= dQ_g / dV_d)$ 、 Q_g :ゲート電荷、 V_d :ドレイン電圧)と、 $C_{dg} (= dQ_d / dV_g)$ 、 Q_d :ドレイン電荷、 V_g :ゲート電圧)の相違を測定することができないという不具合がある。

【0023】

本発明の目的は、容量成分を分離して測定可能な容量測定回路を備えた半導体装置の提供を図ることにある。

【課題を解決するための手段】

【0024】

本発明の半導体装置は、第1～第3の導体部材がある場合に、第1の導体部材と第2の導体部材とを共通の充電用電圧供給部にスイッチングトランジスタを介して接続し、第2、第3の導体部材を電流取り出し部にスイッチングトランジスタを介して接続してなる容量測定回路を備えている。

【0025】

これにより、第1の導体部材－第2の導体部材間の寄生容量、第1の導体部材－第3の導体部材間の寄生容量だけでなく、第2の導体部材－第3の導体部材間の寄生容量をも測定し得る。また、容量測定回路に対応する半導体チップ上のパッド数は、充電電圧供給部と電流取り出し部とにそれぞれつながる2つのパッドで済むので、半導体装置全体のパッド数を低減することができる。

【0026】

また、全ての導体部材を充電可能かつ放電可能にすることにより、たとえば第2の導体部材に充電したときに生じる第2の導体部材－第1の導体部材間の寄生容量や、第3の導体部材に充電したときに生じる第3の導体部材－第1の導体部材間の寄生容量などを測定することもできる。

【0027】

放電部を設けて、2つの導体部材間の寄生容量を測定している間は、寄生容量の測定が行われない導体部材を放電しておくことが好ましい。

【0028】

第1～第3の導体部材は、いずれも配線であってもよいし、MISFETのソース・ドレイン領域、基板領域及びゲート電極であってもよい。後者の場合には、トリプルウェル構造を有していることにより、容量測定時のノイズの影響を低減することができる。

【0029】

充電用電圧供給部を、制御回路に供給される電源電圧よりも低い電源電圧によって動作させることにより、アナログ量である容量の測定において問題となる基板ノイズの影響を抑制することができる。

【0030】

外部クロック信号よりも周波数の高いクロック信号を生成するための発振器を設けることにより、制御回路での波形生成を行わせることが可能になり、分周器を設けることによ

り外部での周波数モニタが簡単になる。

【発明の効果】

【0031】

本発明の半導体装置によれば、必要なパッド数を低減しつつ、3つ以上の導体部材間の容量（寄生容量）を分離して測定することができる。

【発明を実施するための最良の形態】

【0032】

（第1の実施形態）

図1は、第1の実施形態に係る半導体装置（LSI）に配置されている容量測定回路の構成を示す回路図である。本実施形態の半導体装置中の容量測定回路は、被容量測定部である3つの導体部材同士の間の各容量（寄生容量）を測定するように構成されている。

【0033】

そして、図1に示すように、本実施形態の半導体装置中の被容量測定部には、各々絶縁膜を挟んで相対向する3つの導体部材が設けられている。3つの導体部材は、配線W1（第1の導体部材）と、配線1よりも上層に配置され、平面図でみると配線W1に交差する配線W2（第2又は第3の導体部材）と、配線W1にはほぼ平行に延びるとともに、平面図でみると配線W2と交差する配線W3（第3又は第2の導体部材）とである。配線W1と配線W2との間の容量をC12、C21とし、配線W1と配線W3との間の容量をC13、C31とし、配線W2と配線W3との間の容量をC23、C32とする。ただし、容量C12とは、配線W1に電圧を印加したときに配線W2に誘起される電荷を印加した電圧で割った値である。容量C21とは、配線W2に電圧を印加したときに配線W1に誘起される電荷を印加した電圧で割った値である。容量C13とは、配線W1に電圧を印加したときに配線W3に誘起される電荷を印加した電圧で割った値である。容量C31とは、配線W3に電圧を印加したときに配線W1に誘起される電荷を印加した電圧で割った値である。容量C23とは、配線W2に電圧を印加したときに配線W3に誘起される電荷を印加した電圧で割った値である。容量C32とは、配線W3に電圧を印加したときに配線W2に誘起される電荷を印加した電圧で割った値である。

【0034】

容量測定回路には、互いに並列に配置された3つのPMISFET1, 2, 3（充電用スイッチングトランジスタ）と、各PMISFET1, 2, 3にそれぞれ直列に接続された3つのNMISFET4, 5, 6（放電用スイッチングトランジスタ）とが配置されている。PMISFET1, 2, 3のソースは、充電用電圧供給部を経て、電源電圧Vddを供給する電源パッドPSTに共通に接続され、NMISFET4, 5, 6のソースは、放電部を経て、接地パッドGND（電圧Vss）に共通に接続されている。PMISFET1及びNMISFET4のドレインと、配線W1とはノードN1によって互いに接続されている。PMISFET2及びNMISFET5のドレインと、配線W2とはノードN2によって互いに接続されている。PMISFET3及びNMISFET6のドレインと、配線W3とはノードN3によって互いに接続されている。

【0035】

つまり、配線W1はPMISFET1を介して充電用電圧供給部及び電源パッドPSTに接続され、配線W2はPMISFET2を介して充電用電圧供給部及び電源パッドPSTに接続され、配線W3はPMISFET3を介して充電用電圧供給部及び電源パッドPSTに接続されている。

【0036】

なお、図1には示されていないが、電源パッドPSTは、各PMISFET1, 2, 3の各活性領域（基板領域）にも接続され、接地パッドGNDは、各NMISFET4, 5, 6, 7, 8, 9の活性領域（基板領域）にも接続されて、それぞれ基板に電位を与えるようになっている。

【0037】

また、配線W1は、ノードN1及びNMISFET7（第3の電流測定用スイッチング

トランジスタ)を介し、電流取り出し部を経て、電流モニター用パッド41に接続されている。配線W2は、ノードN2及びNMISFET8(第1又は第2の電流測定用スイッチングトランジスタ)を介し、電流取り出し部を経て、電流モニター用パッド41に接続されている。配線W3は、ノードN3及びNMISFET9(第2又は第1の電流測定用スイッチングトランジスタ)を介し、電流取り出し部を経て、電流モニター用パッド41に接続されている。すなわち、各配線W1, W2, W3は、いずれも共通の電流取り出し部を経て、電流モニター用パッド41に接続され、電流モニター用パッド41に電流計45のプローブを接触させて電流Iを測定することが可能に構成されている。なお、電流計45の出口側は接地(0V)に固定される。

【0038】

電源パッドPST(電圧Vdd)と接地パッドGND(電圧Vss)との間には、制御回路31と、外部クロック信号よりも高周波のクロック信号を生成する発振器32と、分周器33とが互いに並列に接続されている。制御回路31は、発振器32で生成された高周波のクロック信号C1kに同期して動作するとともに、制御信号入力パッド42から入力される制御信号Sctに応じて、各MISFET1~9の各ゲートG1~G9にオン・オフ切り換え用バイアスを印加する。また、分周器33の入力部には発振器32から出力される高周波信号が入力され、分周器33の出力部は周波数モニター用パッド43に接続されている。

【0039】

本実施形態の半導体装置によると、容量測定回路において、第1の導体部材である配線W1が充電用スイッチングトランジスタであるPMISFET1を介して充電用電圧供給部に接続されており、第2の導体部材である配線W2(又はW3)及び第3の導体部材である配線W3(又はW2)が、それぞれ電流測定用スイッチングトランジスタであるNMISFET8, 9を介して電流取り出し部に接続され、かつ、第2の導体部材である配線W2(又はW3)が充電用スイッチングトランジスタであるPMISFET2(又は3)を介して充電用電圧供給部に接続されているので、配線W1-W2間の容量C12と、配線W1-W3間の容量C13とに加えて、配線W2-W3間の容量C23(又は配線W3-W2間の容量C32)を測定することが可能になった。

【0040】

さらに、配線W2, W3が充電用スイッチングトランジスタであるPMISFET2, 3を介して充電用電圧供給部に接続されるとともに、配線W1が電流測定用スイッチングトランジスタであるNMISFET7を介して電流取り出し部に接続されているので、後述するように、配線W1-W2間の容量C12, C21と、配線W1-W3間の容量C13, C31と、配線W2-W3間の容量C23, C32という3つの配線W1, W2, W3間の全ての容量成分を分離して測定することが可能になった。

【0041】

さらに、配線W1, W2, W3が、それぞれ放電用スイッチングトランジスタであるNMISFET7, 8, 9を介して放電部を経て、接地パッドに接続されているので、2つの配線間の容量を測定するモードにおいては、容量測定に関与しない配線の電位を固定しておくことが可能になり、容量測定に関与しない配線の影響によって容量の測定精度が悪化するのを防止することができる。

【0042】

本実施形態の容量測定回路においては、発振器32を内蔵することにより、外部クロック信号よりも高い周波数のクロック信号を制御回路31に印加して、制御回路31での波形生成を行わせることが可能になり、分周器33を内蔵することで外部での周波数モニタが簡単になるという利点がある。

【0043】

図2は、容量測定回路を用いた容量測定時に制御回路31から出力される各MISFET1~9の各ゲートG1~G9に印加されるゲートバイアスVg1~Vg9の時間変化を示すタイミング図である。同図において、T12は容量C12をモニターする期間を表し、T13は

容量C13をモニターする期間を表し、T21は容量C21をモニターする期間を表し、T23は容量C23をモニターする期間を表し、T31は容量C31をモニターする期間を表し、T32は容量C32をモニターする期間を表している。図2には示されていないが、電源電圧V_{dd}は電圧V_{cc}に固定され、接地電圧V_{ss}は0Vに固定されている。

【0044】

－期間T12における制御－

まず、タイミングt10では、NMISFET4, 5, 6のゲートバイアスV_{g4}, V_{g5}, V_{g6}は全てHレベルであるのでNMISFET4, 5, 6はオン状態である。PMISFET1, 2, 3のゲートバイアスV_{g1}, V_{g2}, V_{g3}がHレベルであるのでPMISFET1, 2, 3はオフ状態である。NMISFET7, 8, 9のゲートバイアスV_{g7}, V_{g8}, V_{g9}がLレベルであるのでNMISFET7, 8, 9はオフ状態である。このときには、NMISFET4, 5, 6がオン状態で、PMISFET1, 2, 3がオフ状態であるので、ノードN1, N2, N3に電荷は全て接地に引き抜かれる。

【0045】

タイミングt11で、NMISFET4, 5のゲートバイアスV_{g4}, V_{g5}がLレベルに変化して、NMISFET4, 5がオフ状態になるので、ノードN1, N2が接地パッドGNDと遮断される。

【0046】

次に、タイミングt12で、NMISFET8のゲートバイアスV_{g8}がHレベルに変化して、NMISFET8がオン状態になるので、配線W2はノードN2を介して電流モニター用パッド41と導通状態になる。

【0047】

次に、タイミングt13で、PMISFET1のゲートバイアスV_{g1}がLレベルに変化して、PMISFET1がオン状態になるので、配線W1はノードN1を介して電源パッドPSTと導通状態になり、配線W1が充電される。

【0048】

よって、タイミングt13～t14の期間に、電流モニター用パッド41に電流計45のプローブを接触させて、電流Iを測定することにより、配線W1に電圧V_{cc}を印加したときに、配線W2に誘起される電荷に相当する電流Iから、ゲート入力波形の周波数をf（＝1/T）（Tは、タイミングt10からt17までの時間）とすると、下記式（4）

$$C12 = I / (V_{cc} \cdot f) \quad (4)$$

に基づいて、配線W1とW2との間の容量値C12を測定することができる。

【0049】

なお、その後は、タイミングt14, t15, t16, t17で、それぞれタイミングt13, t12, t11, t10と逆の動作を行うように、ゲートバイアスを変化させ、最終的に、タイミングt17ではタイミングt10と同じ制御状態に戻す。

【0050】

期間T12の間、PMISFET1と、NMISFET4又はNMISFET7とが同時にオン状態になることはないので、電流モニター用パッド41や接地パッドGNDに電源パッドPSTからの貫通電流が流れることはない。また、期間T12の間、PMISFET2, 3は、常にオフ状態であるので、配線W2, W3が電圧V_{cc}によって充電されることはない。さらに、期間T12の間、NMISFET7, 9は常にオフ状態であるので、ノードN1, N3が電流モニター用パッド41と導通状態になることはなく、配線W1, W3からの電流が観測されることはない。また、期間T12の間、NMISFET6のゲートバイアスV_{g6}が常にHレベルであることから、NMISFET6は常にオン状態であり、ノードN3の電位は0Vに固定されるので、配線W3に関する容量は観測されない。

【0051】

－期間T13における制御－

まず、タイミングt20では、各MISFET1～9のゲートバイアスV_{g1}～V_{g9}は、期間T12におけるタイミングt10とそれぞれ同じ電圧レベルである。

【0052】

タイミング t_{21} で、NMISFET 4, 6 のゲートバイアス V_{g4} , V_{g6} が L レベルに変化して、NMISFET 4, 6 がオフ状態になるので、ノード N1, N3 が接地パッド GND と遮断される。

【0053】

次に、タイミング t_{22} で、NMISFET 9 のゲートバイアス V_{g9} が H レベルに変化して、NMISFET 9 がオン状態になるので、配線 W3 はノード N3 を介して電流モニター用パッド 41 と導通状態になる。

【0054】

次に、タイミング t_{23} で、PMISFET 1 のゲートバイアス V_{g1} が L レベルに変化して、PMISFET 1 がオン状態になるので、配線 W1 はノード N1 を介して電源パッド PST と導通状態になり、配線 W1 が充電される。

【0055】

よって、タイミング $t_{23} \sim t_{24}$ の期間に、電流モニター用パッド 41 に電流計 45 のプローブを接触させて、電流 I を測定することにより、配線 W1 に電圧 V_{cc} を印加したときに、配線 W3 に誘起される電荷に相当する電流 I から、ゲート入力波形の周波数を f ($= 1/T$) (T は、タイミング t_{20} から t_{27} までの時間) とすると、下記式 (5)

$$C_{13} = I / (V_{cc} \cdot f) \quad (5)$$

に基づいて、配線 W1 と W3 との間の容量値 C_{13} を測定することができる。

【0056】

なお、その後は、タイミング t_{24} , t_{25} , t_{26} , t_{27} で、それぞれタイミング t_{23} , t_{22} , t_{21} , t_{20} と逆の動作を行うように、ゲートバイアスを変化させ、最終的に、タイミング t_{27} ではタイミング t_{20} と同じ制御状態に戻す。

【0057】

期間 T13 の間、PMISFET 1 と、NMISFET 4 又は NMISFET 7 とが同時にオン状態になることはないので、電流モニター用パッド 41 や接地パッド GND に電源パッド PST からの貫通電流が流れることはない。また、期間 T13 の間、PMISFET 2, 3 は、常にオフ状態であるので、配線 W2, W3 が電圧 V_{cc} によって充電されることはない。さらに、期間 T13 の間、NMISFET 7, 8 は常にオフ状態であるので、ノード N1, N2 が電流モニター用パッド 41 と導通状態になることはなく、配線 W1, W2 からの電流が観測されることはない。また、期間 T13 の間、NMISFET 5 のゲートバイアス V_{g5} が常に H レベルであることから、NMISFET 5 は常にオン状態であり、ノード N2 の電位は 0 V に固定されるので、配線 W2 に関する容量は観測されない。

【0058】

ー期間 T21 における制御ー

まず、タイミング t_{30} では、各 MISFET 1 ~ 9 のゲートバイアス $V_{g1} \sim V_{g9}$ は、期間 T12 におけるタイミング t_{10} とそれぞれ同じ電圧レベルである。

【0059】

タイミング t_{31} で、NMISFET 4, 5 のゲートバイアス V_{g4} , V_{g5} が L レベルに変化して、NMISFET 4, 5 がオフ状態になるので、ノード N1, N2 が接地パッド GND と遮断される。

【0060】

次に、タイミング t_{32} で、NMISFET 7 のゲートバイアス V_{g7} が H レベルに変化して、NMISFET 7 がオン状態になるので、配線 W1 はノード N1 を介して電流モニター用パッド 41 と導通状態になる。

【0061】

次に、タイミング t_{33} で、PMISFET 2 のゲートバイアス V_{g2} が L レベルに変化して、PMISFET 2 がオン状態になるので、配線 W2 はノード N2 を介して電源パッド PST と導通状態になり、配線 W2 が充電される。

【0062】

よって、タイミング $t_{33} \sim t_{34}$ の期間に、電流モニター用パッド 41 に電流計 45 のプローブを接触させて、電流 I を測定することにより、配線 W_2 に電圧 V_{cc} を印加したときに、配線 W_1 に誘起される電荷に相当する電流 I から、ゲート入力波形の周波数を f ($= 1/T$) (T は、タイミング t_{30} から t_{37} までの時間) とすると、下記式 (6)

$$C_{21} = I / (V_{cc} \cdot f) \quad (6)$$

に基づいて、配線 W_2 と W_1 との間の容量値 C_{21} を測定することができる。

【0063】

なお、その後は、タイミング t_{34} , t_{35} , t_{36} , t_{37} で、それぞれタイミング t_{33} , t_{32} , t_{31} , t_{30} と逆の動作を行うように、ゲートバイアスを変化させ、最終的に、タイミング t_{37} ではタイミング t_{30} と同じ制御状態に戻す。

【0064】

期間 T_{21} の間、PMISFET 2 と、NMISFET 5 又は NMISFET 8 とが同時にオン状態になることはないので、電流モニター用パッド 41 や接地パッド GND に電源パッド PST からの貫通電流が流れることはない。また、期間 T_{21} の間、PMISFET 1, 3 は、常にオフ状態であるので、配線 W_1 , W_3 が電圧 V_{cc} によって充電されることはない。さらに、期間 T_{21} の間、NMISFET 7, 9 は常にオフ状態であるので、ノード N_1 , N_3 が電流モニター用パッド 41 と導通状態になることはなく、配線 W_1 , W_3 からの電流が観測されることはない。また、期間 T_{21} の間、NMISFET 6 のゲートバイアス V_{g6} が常に H レベルであることから、NMISFET 6 は常にオン状態であり、ノード N_3 の電位は 0 V に固定されるので、配線 W_3 に関する容量は観測されない。

【0065】

ー期間 T_{23} における制御ー

まず、タイミング t_{40} では、各 MISFET 1 ~ 9 のゲートバイアス $V_{g1} \sim V_{g9}$ は、期間 T_{12} におけるタイミング t_{10} とそれぞれ同じ電圧レベルである。

【0066】

タイミング t_{41} で、NMISFET 5, 6 のゲートバイアス V_{g5} , V_{g6} が L レベルに変化して、NMISFET 5, 6 がオフ状態になるので、ノード N_2 , N_3 が接地パッド GND と遮断される。

【0067】

次に、タイミング t_{42} で、NMISFET 9 のゲートバイアス V_{g9} が H レベルに変化して、NMISFET 9 がオン状態になるので、配線 W_3 はノード N_3 を介して電流モニター用パッド 41 と導通状態になる。

【0068】

次に、タイミング t_{43} で、PMISFET 2 のゲートバイアス V_{g2} が L レベルに変化して、PMISFET 2 がオン状態になるので、配線 W_2 はノード N_2 を介して電源パッド PST と導通状態になり、配線 W_2 が充電される。

【0069】

よって、タイミング $t_{43} \sim t_{44}$ の期間に、電流モニター用パッド 41 に電流計 45 のプローブを接触させて、電流 I を測定することにより、配線 W_2 に電圧 V_{cc} を印加したときに、配線 W_3 に誘起される電荷に相当する電流 I から、ゲート入力波形の周波数を f ($= 1/T$) (T は、タイミング t_{40} から t_{47} までの時間) とすると、下記式 (7)

$$C_{23} = I / (V_{cc} \cdot f) \quad (7)$$

に基づいて、配線 W_2 と W_3 との間の容量値 C_{23} を測定することができる。

【0070】

なお、その後は、タイミング t_{44} , t_{45} , t_{46} , t_{47} で、それぞれタイミング t_{43} , t_{42} , t_{41} , t_{40} と逆の動作を行うように、ゲートバイアスを変化させ、最終的に、タイミング t_{47} ではタイミング t_{40} と同じ制御状態に戻す。

【0071】

期間 T_{23} の間、PMISFET 2 と、NMISFET 5 又は NMISFET 8 とが同時にオン状態になることはないので、電流モニター用パッド 41 や接地パッド GND に電源

パッドPSTからの貫通電流が流れることはない。また、期間T23の間、PMISFET 1, 3は、常にオフ状態であるので、配線W1, W3が電圧Vccによって充電されることはない。さらに、期間T23の間、NMISFET 7, 8は常にオフ状態であるので、ノードN1, N2が電流モニター用パッド41と導通状態になることはなく、配線W1, W2からの電流が観測されることはない。また、期間T23の間、NMISFET 4のゲートバイアスVg4が常にHレベルであることから、NMISFET 4は常にオン状態であり、ノードN1の電位は0Vに固定されるので、配線W1に関する容量は観測されない。

【0072】

－期間T31における制御－

まず、タイミングt50では、各MISFET 1～9のゲートバイアスVg1～Vg9は、期間T12におけるタイミングt10とそれぞれ同じ電圧レベルである。

【0073】

タイミングt51で、NMISFET 4, 6のゲートバイアスVg4, Vg6がLレベルに変化して、NMISFET 4, 6がオフ状態になるので、ノードN1, N3が接地パッドGNDと遮断される。

【0074】

次に、タイミングt52で、NMISFET 7のゲートバイアスVg7がHレベルに変化して、NMISFET 7がオン状態になるので、配線W1はノードN1を介して電流モニター用パッド41と導通状態になる。

【0075】

次に、タイミングt53で、PMISFET 3のゲートバイアスVg3がLレベルに変化して、PMISFET 3がオン状態になるので、配線W3はノードN3を介して電源パッドPSTと導通状態になり、配線W3が充電される。

【0076】

よって、タイミングt53～t54の期間に、電流モニター用パッド41に電流計45のプローブを接触させて、電流Iを測定することにより、配線W3に電圧Vccを印加したときに、配線W1に誘起される電荷に相当する電流Iから、ゲート入力波形の周波数を f ($=1/T$) (Tは、タイミングt50からt57までの時間) とすると、下記式(8)

$$C31 = I / (V_{cc} \cdot f) \quad (8)$$

に基づいて、配線W3とW1との間の容量値C31を測定することができる。

【0077】

なお、その後は、タイミングt54, t55, t56, t57で、それぞれタイミングt53, t52, t51, t50と逆の動作を行うように、ゲートバイアスを変化させ、最終的に、タイミングt57ではタイミングt50と同じ制御状態に戻す。

【0078】

期間T31の間、PMISFET 3と、NMISFET 6又はNMISFET 9とが同時にオン状態になることはないので、電流モニター用パッド41や接地パッドGNDに電源パッドPSTからの貫通電流が流れることはない。また、期間T31の間、PMISFET 1, 2は、常にオフ状態であるので、配線W1, W2が電圧Vccによって充電されることはない。さらに、期間T31の間、NMISFET 8, 9は常にオフ状態であるので、ノードN2, N3が電流モニター用パッド41と導通状態になることはなく、配線W2, W3からの電流が観測されることはない。また、期間T31の間、NMISFET 5のゲートバイアスVg5が常にHレベルであることから、NMISFET 5は常にオン状態であり、ノードN2の電位は0Vに固定されるので、配線W2に関する容量は観測されない。

【0079】

－期間T32における制御－

まず、タイミングt60では、各MISFET 1～9のゲートバイアスVg1～Vg9は、期間T12におけるタイミングt10とそれぞれ同じ電圧レベルである。

【0080】

タイミングt61で、NMISFET 5, 6のゲートバイアスVg5, Vg6がLレベルに変

化して、NMISFET 5, 6 がオフ状態になるので、ノード N 2, N 3 が接地パッド GND と遮断される。

【0081】

次に、タイミング t 62 で、NMISFET 8 のゲートバイアス Vg8 が H レベルに変化して、NMISFET 8 がオン状態になるので、配線 W 2 はノード N 2 を介して電流モニター用パッド 4 1 と導通状態になる。

【0082】

次に、タイミング t 63 で、PMISFET 3 のゲートバイアス Vg3 が L レベルに変化して、PMISFET 3 がオン状態になるので、配線 W 3 はノード N 3 を介して電源パッド P S T と導通状態になり、配線 W 3 が充電される。

【0083】

よって、タイミング t 63 ~ t 64 の期間に、電流モニター用パッド 4 1 に電流計 4 5 のプローブを接触させて、電流 I を測定することにより、配線 W 3 に電圧 Vcc を印加したときに、配線 W 1 に誘起される電荷に相当する電流 I から、ゲート入力波形の周波数を f (= 1 / T) (T は、タイミング t 60 から t 67 までの時間) とすると、下記式 (9)

$$C32 = I / (V_{cc} \cdot f) \quad (9)$$

に基づいて、配線 W 3 と W 2 との間の容量値 C 32 を測定することができる。

【0084】

なお、その後は、タイミング t 64, t 65, t 66, t 67 で、それぞれタイミング t 63, t 62, t 61, t 60 と逆の動作を行うように、ゲートバイアスを変化させ、最終的に、タイミング t 67 ではタイミング t 60 と同じ制御状態に戻す。

【0085】

期間 T 32 の間、PMISFET 3 と、NMISFET 6 又は NMISFET 9 とが同時にオン状態になることはないので、電流モニター用パッド 4 1 や接地パッド GND に電源パッド P S T からの貫通電流が流れることはない。また、期間 T 32 の間、PMISFET 1, 2 は、常にオフ状態であるので、配線 W 1, W 2 が電圧 Vcc によって充電されることはない。さらに、期間 T 32 の間、NMISFET 7, 9 は常にオフ状態であるので、ノード N 1, N 3 が電流モニター用パッド 4 1 と導通状態になることはなく、配線 W 1, W 3 からの電流が観測されることはない。また、期間 T 32 の間、NMISFET 4 のゲートバイアス Vg4 が常に H レベルであることから、NMISFET 4 は常にオン状態であり、ノード N 1 の電位は 0 V に固定されるので、配線 W 1 に関係する容量は観測されない。

【0086】

本実施形態の容量測定回路によると、3 つの配線 W 1, W 2, W 3 があるときに、配線 W 1 を充電して観測できる容量 C 12, C 13 だけでなく、配線 W 2, W 3 を充電することにより、容量 C 21, C 23, C 31, C 32 をも測定することが可能になった。

【0087】

しかも、パッド数は 5 つで済み、図 7 に示す従来の容量測定回路に必要なパッド数 7 つに比べて、大幅にパッド数の低減を図ることができ、半導体装置の面積の縮小を図ることができる。

【0088】

(第 2 の実施形態)

図 3 は、第 2 の実施形態に係る半導体装置 (L S I) に配置されている容量測定回路の構成を示す回路図である。本実施形態の半導体装置中の容量測定回路は、被容量測定部である 3 つの導体部材同士の間の各容量 (寄生容量) を測定するように構成されている。

【0089】

図 3 に示すように、本実施形態の半導体装置中の被容量測定部にも、各々絶縁膜を挟んで相対向する 3 つの導体部材が設けられている。ただし、第 1 の実施形態とは異なり、本実施形態における 3 つの導体部材とは、半導体基板の一部に不純物をドーピングして形成されたソース・ドレイン領域 S D (第 1 の導体部材) と、ウェルに相当する基板領域 S U B (第 2 の導体部材) と、ゲート電極 G T (第 3 の導体部材) とである。

【0090】

一方、容量測定回路の構成は、第1の実施形態と同様である。そして、ソース・ドレイン領域SDと基板領域SUBとの間の容量をCdb (C12に相当)、Cbd (C21に相当)とし、ソース・ドレイン領域SDとゲート電極GTとの間の容量をCdg (C13に相当)、Cgd (C31に相当)とし、基板領域SUBとゲート電極GTとの間の容量をCbg (C23に相当)、Cgb (C32に相当)とする。ただし、容量Cdbとは、ソース・ドレイン領域SDに電圧を印加したときに基板領域SUBに誘起される電荷を印加した電圧で割った値である。容量Cbdとは、基板領域SUBに電圧を印加したときにソース・ドレイン領域SDに誘起される電荷を印加した電圧で割った値である。容量Cdgとは、ソース・ドレイン領域SDに電圧を印加したときにゲート電極GTに誘起される電荷を印加した電圧で割った値である。容量Cgdとは、ゲート電極GTに電圧を印加したときにソース・ドレイン領域SDに誘起される電荷を印加した電圧で割った値である。容量Cbgとは、基板領域SUBに電圧を印加したときにゲート電極GTに誘起される電荷を印加した電圧で割った値である。容量Cgbとは、ゲート電極GTに電圧を印加したときに基板領域SUBに誘起される電荷を印加した電圧で割った値である。

【0091】

図4は、本実施形態の半導体装置の断面図である。同図に示すように、本実施形態の半導体装置においては、被容量測定部がトリプルウェルによって囲まれた構造となっている。

【0092】

同図には、半導体装置中のロジック回路の一部である被容量測定部と容量測定回路とにおける断面構造を示し、他の領域、たとえばメモリ領域や周辺回路領域等の図示は省略する。

【0093】

半導体基板は、シャロートレンチ構造を有する素子分離領域55によって、複数の活性領域に区画されている。半導体基板には、半導体基板の大部分を占めるPウェル51と、Pウェル51によって下方を囲まれたディープNウェル52と、ディープNウェル52によって下方を囲まれたPウェル53と、Pウェル53、51同士を分離するためのNウェル54とが設けられている。

【0094】

そして、被測定容量部のNMISFETは、基板領域SUBに相当するPウェル53にN型不純物をドーピングして形成されたソース・ドレイン領域56 (SD)と、ゲート電極61 (GT)とを備えている。一方、容量測定回路のNMISFETは、Pウェル51にN型不純物をドーピングして形成されたソース・ドレイン領域58と、ゲート電極62とを備えている。

【0095】

本実施形態においても、第1の実施形態における容量C12、C21を容量Cdb、Cbdで置き換え、容量C13、C31を容量Cdg、Cgdで置き換え、容量C23、C32を容量Cbg、Cgbで置き換えることにより、図2に示す制御方法及び式(4)～(9)を利用して、各容量Cdb、Cbd、Cdg、Cgd、Cbg、Cgbを測定することができる。

【0096】

本実施形態では、特に被容量測定部をトリプルウェルで囲む構造を採用しているために、高周波のクロックによって動作する容量測定回路中のMISFETからのノイズを遮断しつつ、MISFETの各部材間の容量を高精度で測定することができる。

【0097】

また、電源パッドPST、接地パッドGND、電流測定用パッド41の電圧を変化させることにより、任意の電圧状態で容量を測定することができる。とくに、MIS容量は電圧依存性を有するが、下記式(10)

$$C(v) = \{I(V + \delta V) - I(V)\} / f \quad (10)$$

により容量の電圧依存性を測定することが可能である。

【0098】

(第3の実施形態)

図5は、第3の実施形態に係る半導体装置(LSI)に配置されている容量測定回路の構成を示す回路図である。本実施形態の半導体装置中の容量測定回路は、被容量測定部である3つの導体部材同士の間の各容量(寄生容量)を測定するように構成されている。

【0099】

本実施形態においても、図5に示すように、被容量測定部には、3つの導体部材として、配線W1(第1の導体部材)と、配線W2(第2の導体部材)と、配線W3(第3の導体部材)とが配置されている。そして、配線W1と配線W2との間の容量C12、C21と、配線W1と配線W3との間の容量C13、C31と、配線W2と配線W3との間の容量C23、C32とを測定するように構成されている。

【0100】

本実施形態の容量測定回路の構成の特徴は、第1の実施形態におけるNMISFET7として2つのMISFET7a, 7bを直列に配置し、NMISFET8として2つのMISFET8a, 8bを直列に配置し、NMISFET9として2つのMISFET9a, 9bを直列に配置した構造となっている。そして、各一对のMISFETは、共通のゲートバイアスVg7, Vg8, Vg9を受けるようになっており、そのうちのいずれか一方(たとえばNMISFET7a, 8a, 9a)は、第1の実施形態におけるNMISFET7, 8, 9と同じしきい値電圧を有する電流モニター用MISFETであり、他方(たとえばNMISFET7b, 8b, 9b)は第1の実施形態におけるNMISFET7, 8, 9よりも高いしきい値電圧を有するオフリーク抑制用MISFETである。その他の構成は、図1に示す抽出回路の構成と同じである。

【0101】

本実施形態の容量測定回路においても、図2に示す制御方法と式(4)~(9)とを利用することにより、配線W1と配線W2との間の容量C12, C21と、配線W1と配線W3との間の容量C13, C31と、配線W2と配線W3との間の容量C23, C32とを測定することができる。

【0102】

本実施形態の容量測定回路によると、第1の実施形態と同様に、パッド数の低減を図りつつ、3つの導体部材間の容量C12, C21, C13, C31, C23, C32を測定することができる。

【0103】

しかも、本実施形態の容量測定回路においては、ノードN1, N2, N3と電流測定用パッド41との間に、電流モニター用MISFET(たとえばNMISFET7a, 8a, 9a)とと、これらよりもしきい値電圧が高いオフリーク抑制用MISFET(たとえばNMISFET7b, 8b, 9b)とを直列に配置することにより、リーク電流を有効に低減することができる。

【0104】

また、電流モニター用MISFETとオフリーク抑制用MISFETとの動作を共通の制御信号(ゲートバイアスVg7, Vg8, Vg9)によって制御するようにすることにより、余分な制御回路は不要であるので、制御回路の構成の簡素化を図ることができる。

【0105】

なお、電流モニター用MISFETの駆動能力がそれほど必要でない場合には、直列に配置するMISFETの個数を増加させることにより、リーク電流低減効果がよりいっそう向上する。

【0106】

なお、第3の実施形態における導体部材は、配線W1, W2, W3に限定されるものではなく、図3, 図4に示すようなソース・ドレイン領域, 基板領域, ゲート電極であってもよい。

【0107】

(第4の実施形態)

図6は、第4の実施形態に係る半導体装置(LSI)に配置されている容量の抽出のための容量測定回路の構成を示す回路図である。本実施形態の半導体装置中の容量測定回路は、被容量測定部である3つの導体部材同士の間の各容量を測定するように構成されている。

【0108】

本実施形態においても、図6に示すように、被容量測定部には、3つの導体部材として、配線W1(第1の導体部材)と、配線W2(第2の導体部材)と、配線W3(第3の導体部材)とが配置されている。そして、配線W1と配線W2との間の容量C12、C21と、配線W1と配線W3との間の容量C13、C31と、配線W2と配線W3との間の容量C23、C32とを測定するように構成されている。

【0109】

本実施形態の容量測定回路の構成の特徴は、容量測定回路と、被容量測定部の配線W1、W2、W3とに個別に電源電圧Vdd1(たとえば0.1V)、Vdd2(たとえば1.2V)を供給するための電源パッドPST1、PST2が設けられている点である。その他の部分の構成は、第1の実施形態と同じである。

【0110】

本実施形態の容量測定回路においても、図2に示す制御方法と式(4)～(9)とを利用することにより、配線W1と配線W2との間の容量C12、C21と、配線W1と配線W3との間の容量C13、C31と、配線W2と配線W3との間の容量C23、C32とを測定することができる。

【0111】

本実施形態の容量測定回路においても、第1の実施形態と同様に、パッド数の低減を図りつつ、3つの導体部材間の容量C12、C21、C13、C31、C23、C32を測定することができる。

【0112】

しかも、本実施形態の半導体装置においては、容量測定回路と、被容量測定部の配線W1、W2、W3とに個別に電源電圧Vdd1、Vdd2を供給するための電源パッドPST1、PST2が設けられているので、以下のような作用効果を発揮することができる。

【0113】

配線W1、W2、W3に供給される電源電圧Vdd1は、MISFETの動作を制御するものではないので、それほど高くする必要がない。各MISFET1～9のゲートバイアスVg1～Vg9は、制御回路31から供給されるからである。ただし、各MISFET1～9のソース・ドレイン間の電圧が低くなると、MISFET1～9の動作速度は多少低下するが、動作周波数を低くすれば、容量の測定機能が損なわれることはない。配線W1、W2、W3に印加する電圧を高くすると、測定される電流Iがノイズを含みやすいが、本実施形態のように、電源電圧Vdd1を低くすることにより、ノイズの発生を抑制することができる。

【0114】

一方、制御回路31等の容量抽出部に供給される電源電圧Vdd2は、MISFETの動作を制御するための電圧になるので、MISFETの動作速度を高く維持するためには、ある程度高い必要がある。そして、電源電圧Vdd2を高くしても、ノイズの発生が各MISFETの動作に与える影響は少ない。一般に、基板ノイズは、アナログ回路では不具合を招くが、ロジック回路ではほとんど問題にならないからである。

【0115】

なお、第4の実施形態における導体部材は、配線W1、W2、W3に限定されるものではなく、図3、図4に示すようなソース・ドレイン領域、基板領域、ゲート電極であってもよい。また、第4の実施形態における容量測定回路において、各NMISFET7、8、9は、図5に示すような直列に配置された複数のMISFETであってもよい。

【0116】

被容量測定部に配置される導体部材たとえば配線は、4つ以上であってもよい。その場合にも、図1、図3、図5、図6に示すように、各導体部材ごとに1つのPMISFETと2つのNMISFETとを配置することにより、各配線間の容量を測定することができる。

【0117】

なお、上記各実施形態において、半導体基板は、基板全体が半導体（たとえばSi、Ge、GaAsの半導体）であるものや、SOI基板や、ヘテロ接合部を有するもの（たとえばSi/SiGe型半導体基板）のいずれをも含むものとする。

【産業上の利用可能性】

【0118】

本発明は、MISトランジスタなどの半導体素子を配置したLSI、特にロジック回路を有するLSIとして利用することができる。

【図面の簡単な説明】

【0119】

【図1】第1の実施形態に係る半導体装置に配置されている容量測定回路の構成を示す回路図である。

【図2】容量測定回路を用いた容量測定時に制御回路から出力される各MISFETの各ゲートに印加されるゲートバイアスの時間変化を示すタイミング図である。

【図3】第2の実施形態に係る半導体装置に配置されている容量測定回路の構成を示す回路図である。

【図4】第2の実施形態の半導体装置の断面図である。

【図5】第3の実施形態に係る半導体装置に配置されている容量測定回路の構成を示す回路図である。

【図6】第4の実施形態に係る半導体装置に配置されている容量測定回路の構成を示す回路図である。

【図7】特許文献1に開示されている寄生容量の測定のための容量測定回路の構成を示す回路図である。

【図8】従来の容量測定回路の動作を示すタイミング図である。

【符号の説明】

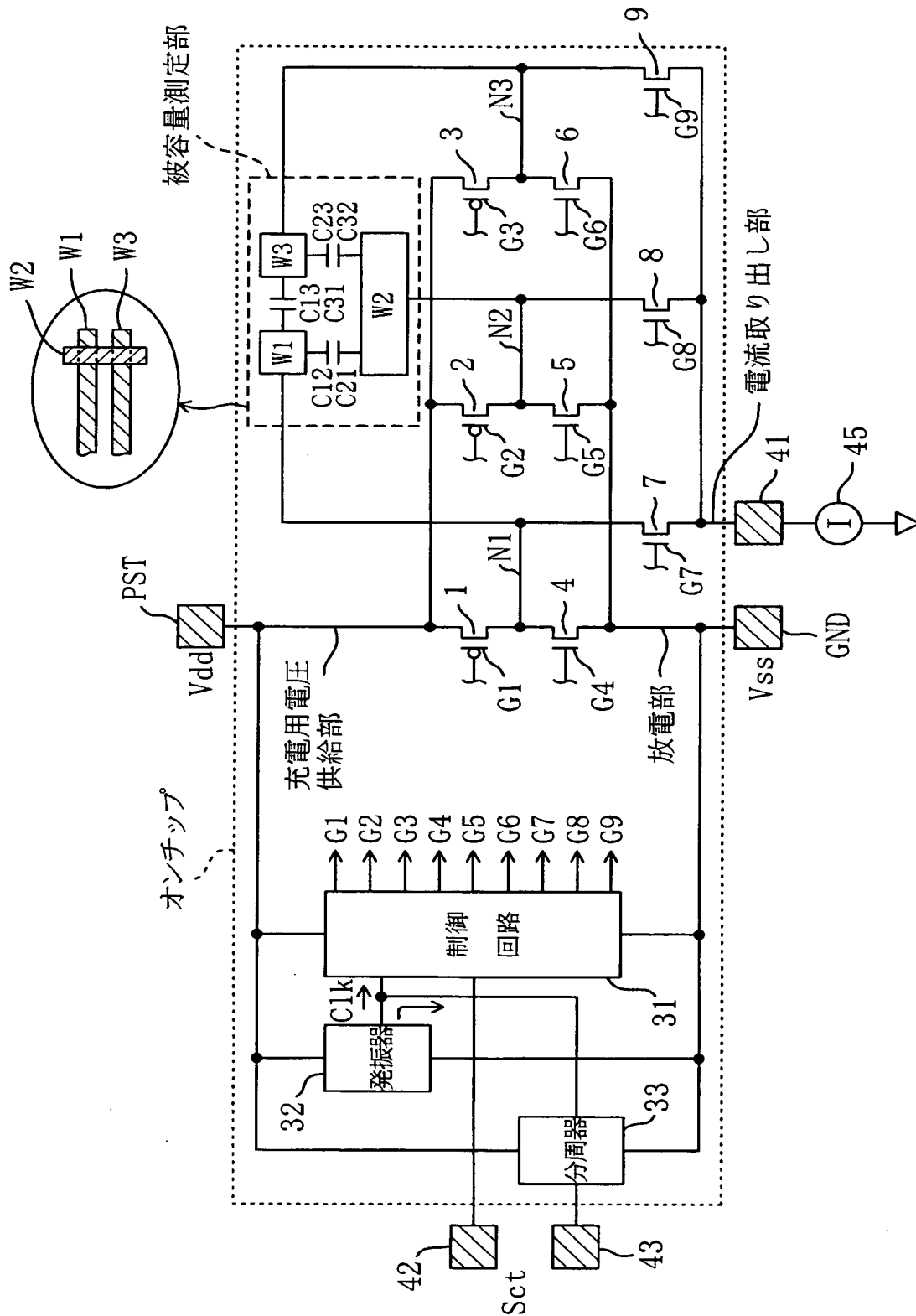
【0120】

- 1～3 PMISFET
- 4～9 NMISFET
- 31 制御回路
- 32 発振器
- 33 分周器
- 41 電流モニター用パッド
- 42 制御信号入力パッド
- 43 周波数モニター用パッド
- 45 電流計
- G1～G9 ゲート
- 51 Pウェル
- 52 ディープNウェル
- 53 Pウェル
- 54 Nウェル
- 55 素子分離領域
- 56 ソース・ドレイン領域
- 58 ソース・ドレイン領域
- 61 ゲート電極
- 62 ゲート電極
- PST 電源パッド

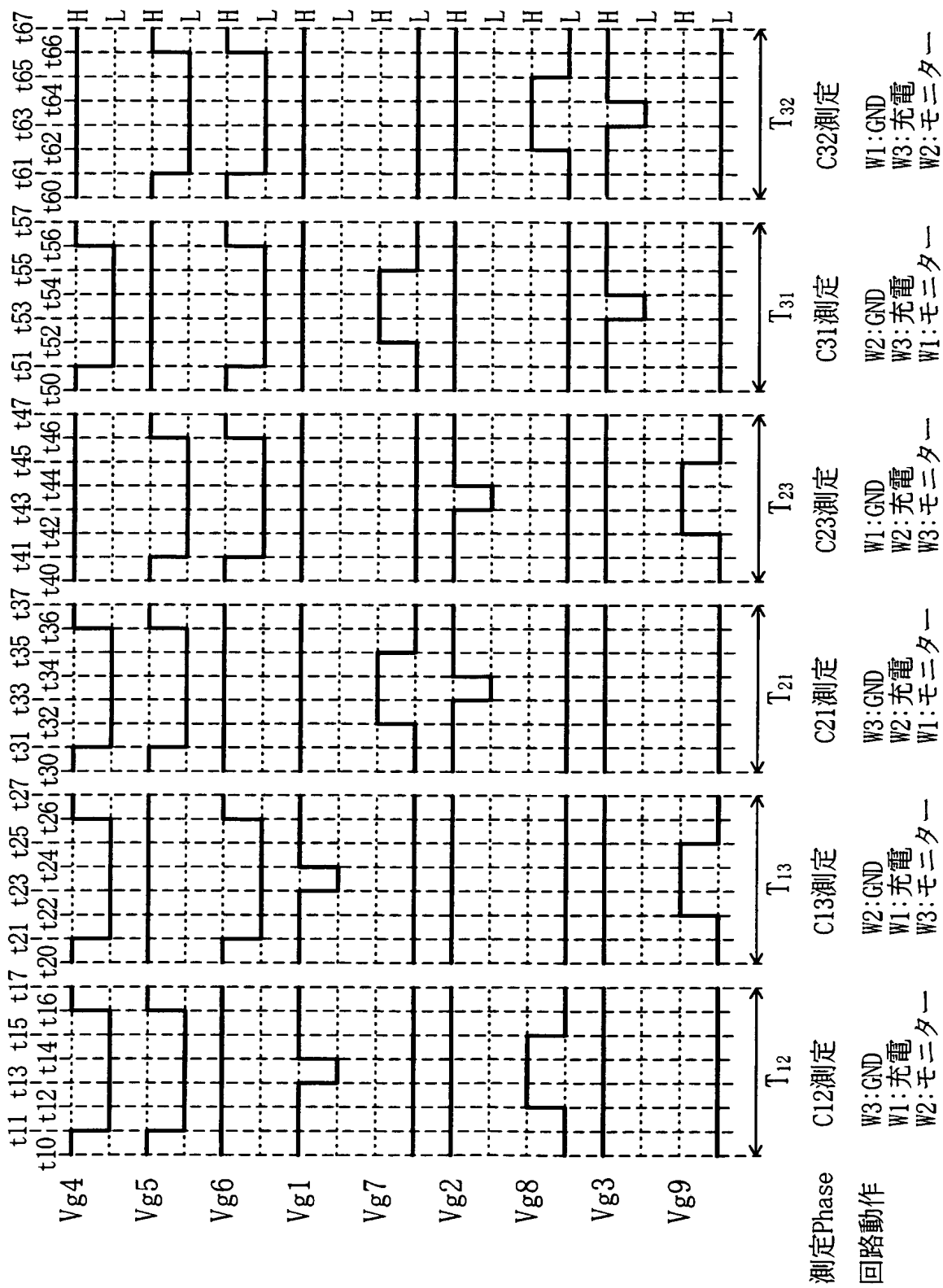
GND 接地パッド

W 1 ~ W 3 配線 (導体部材)

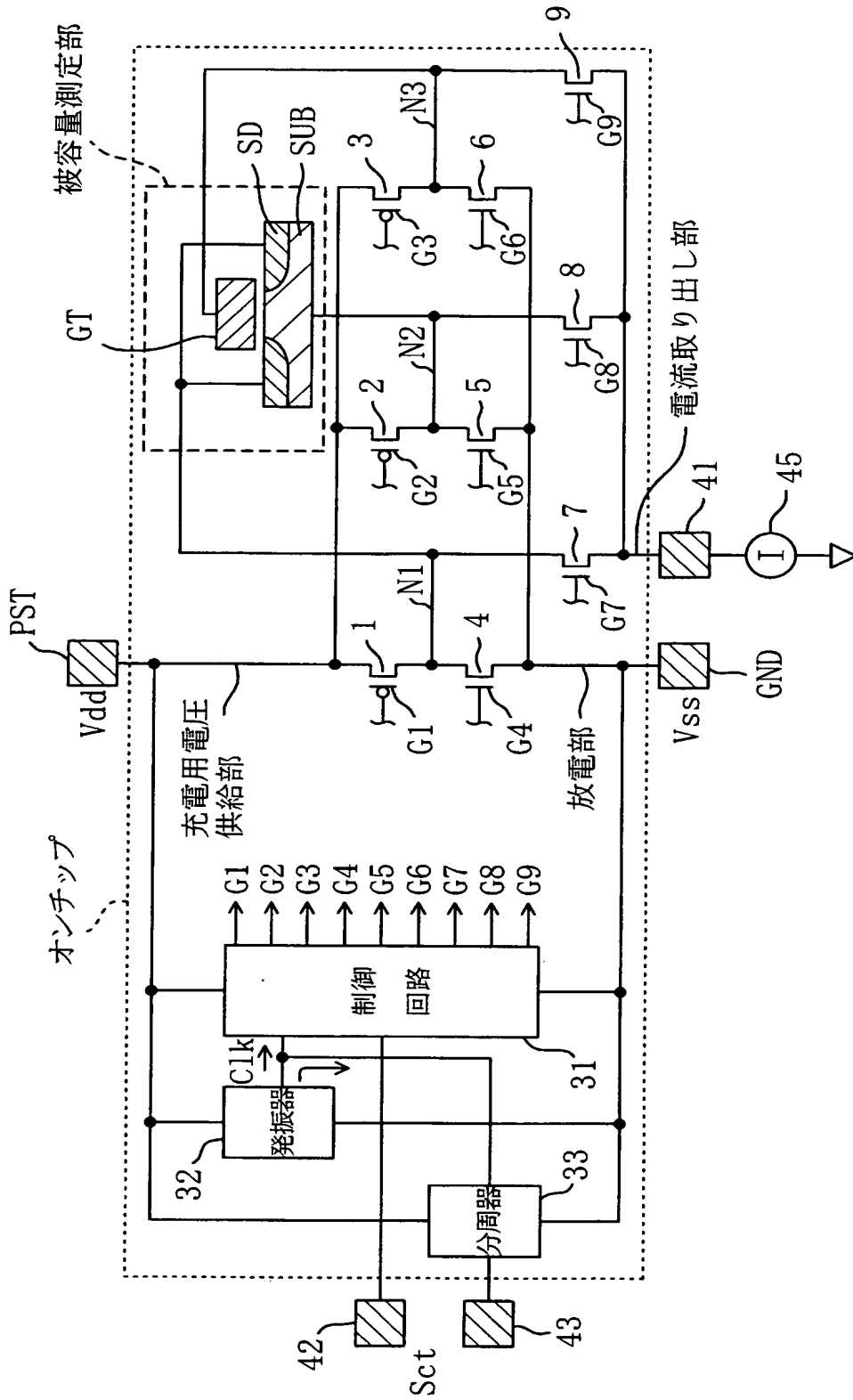
【書類名】 図面
【図 1】



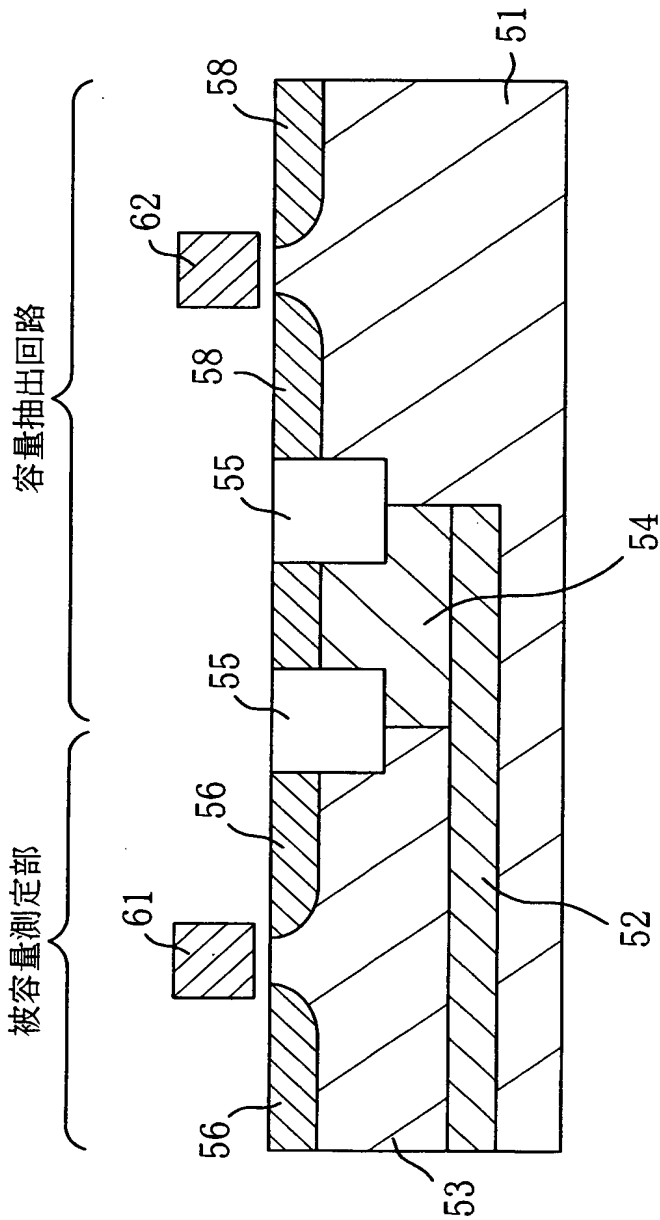
【図 2】



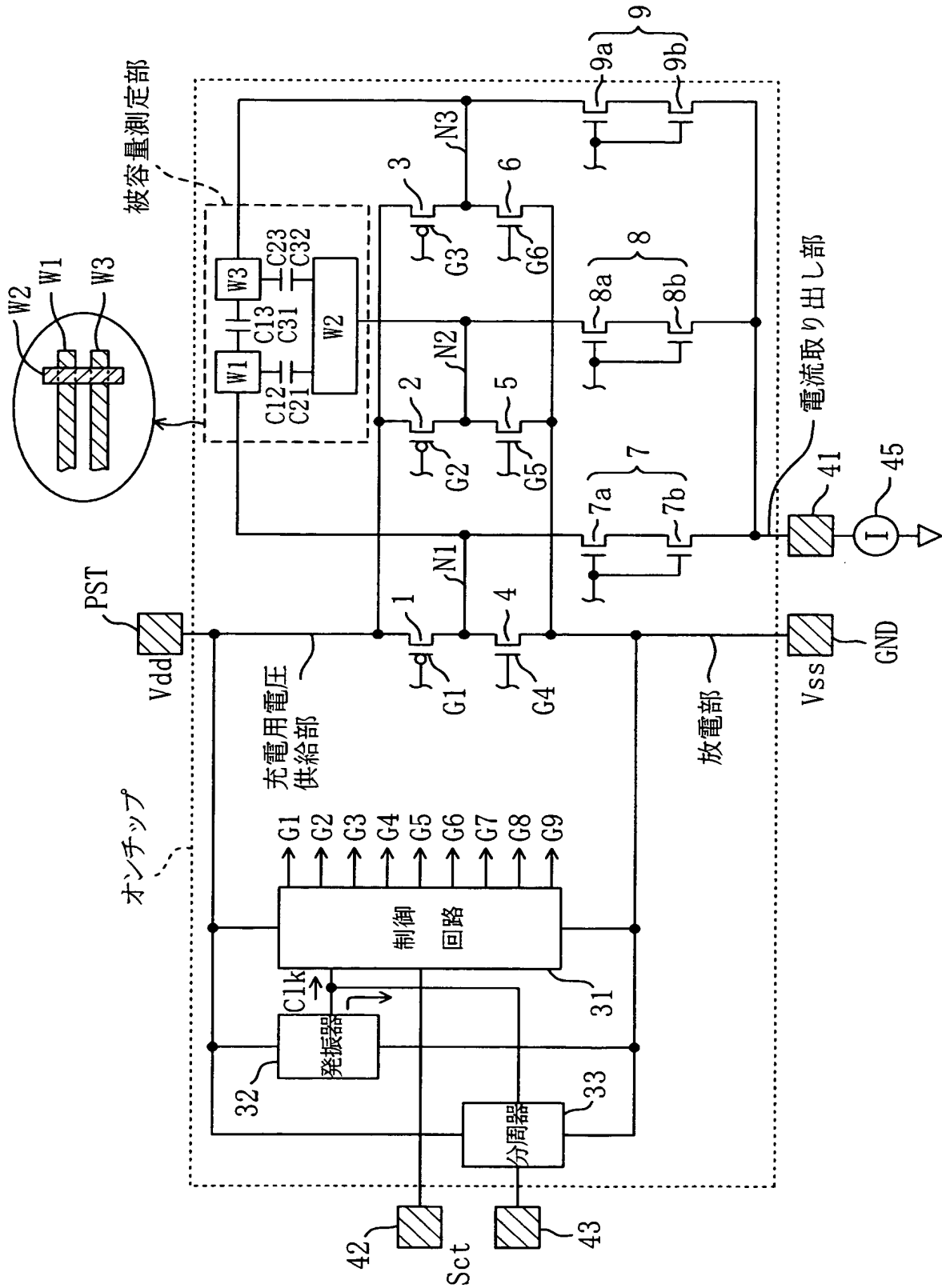
【図 3】



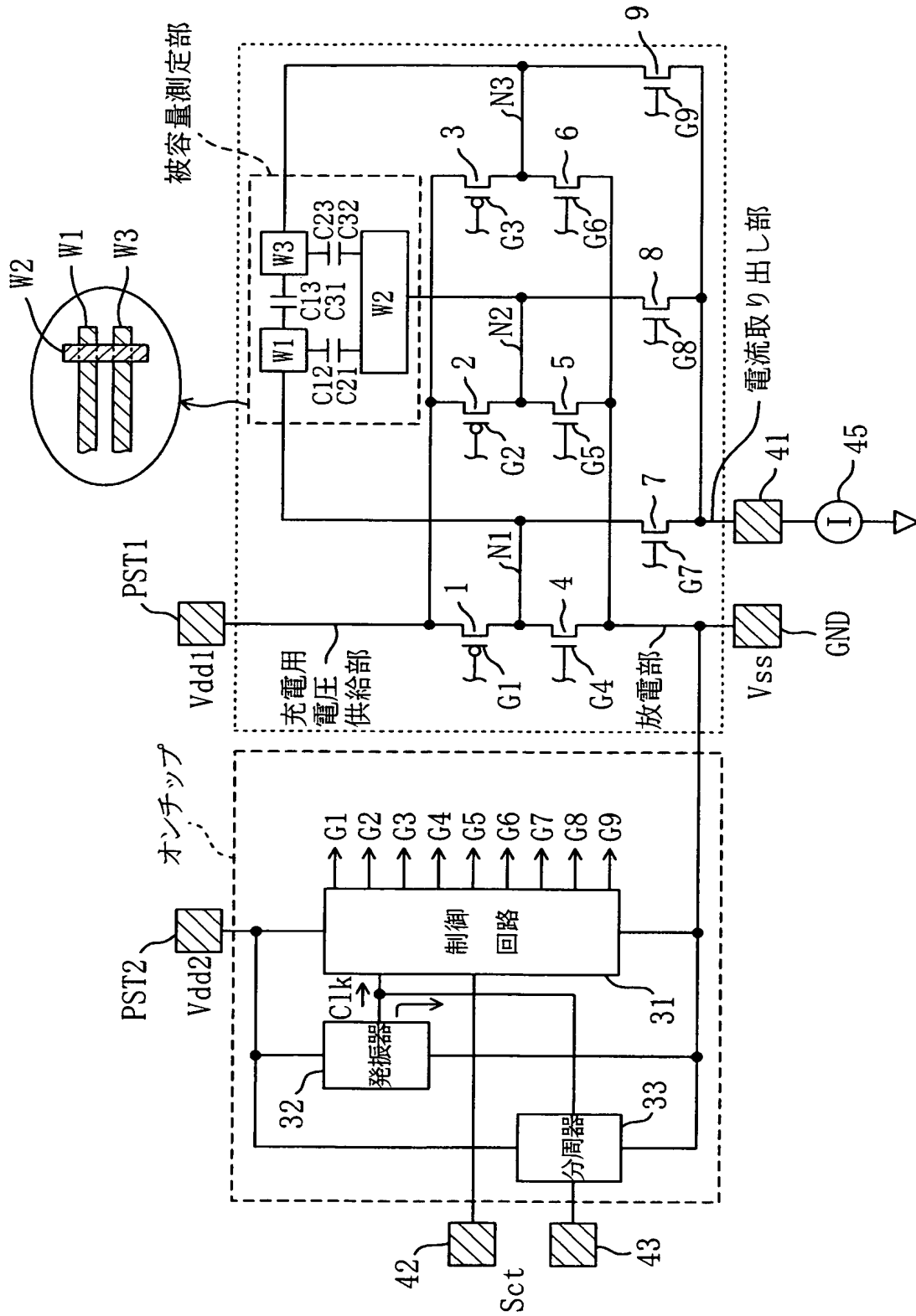
【図 4】



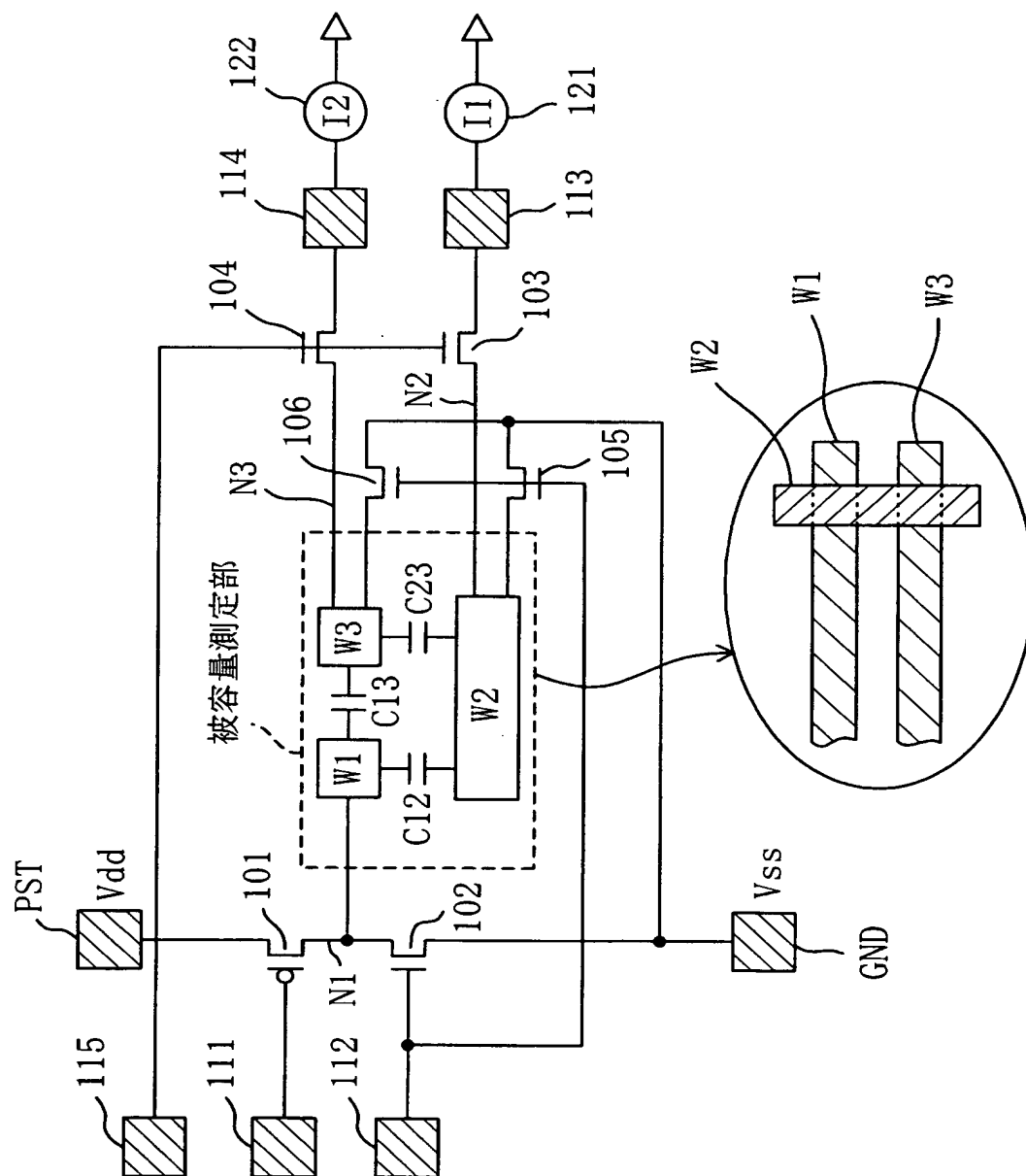
【図 5】



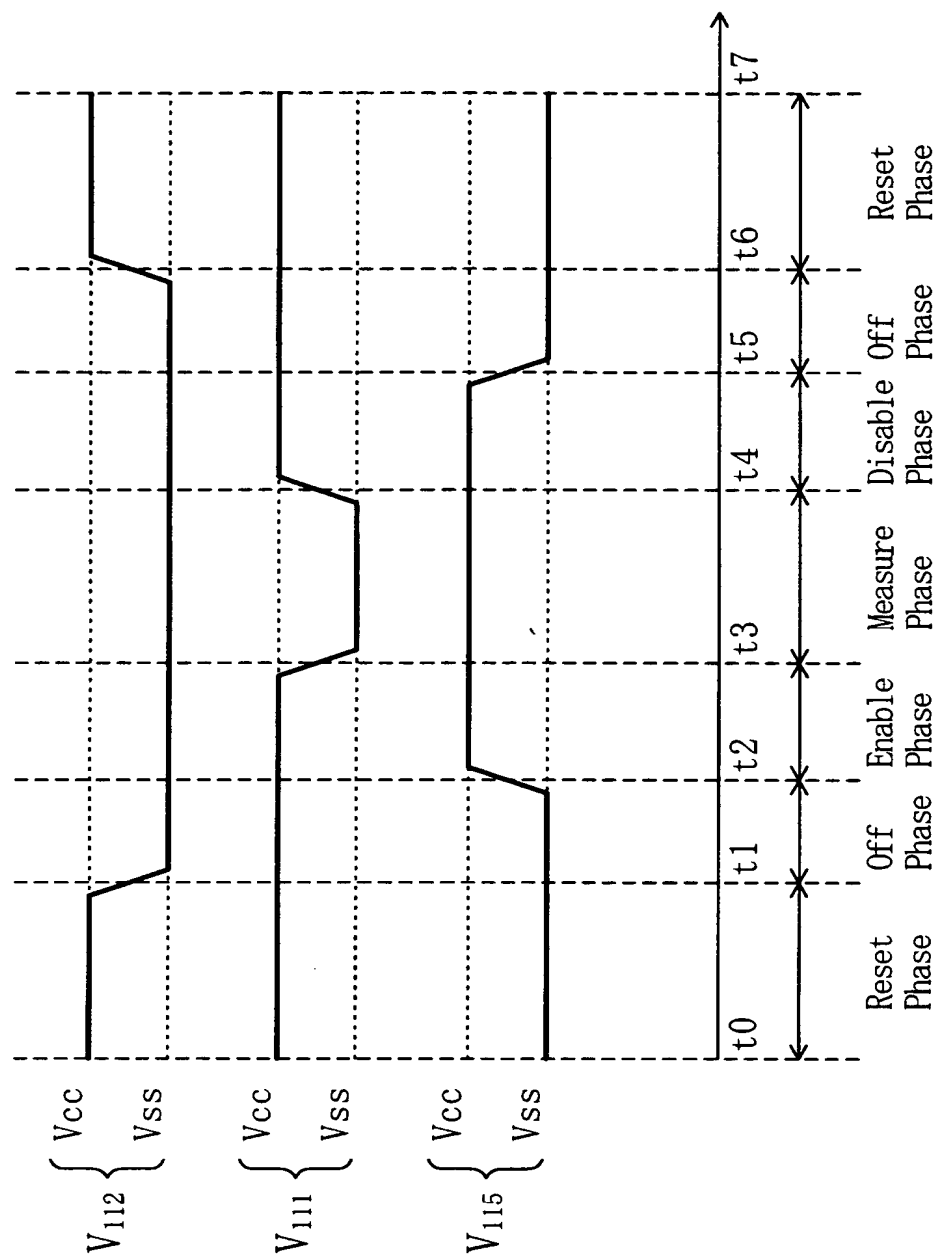
【図 6】



【圖 7】



【図 8】



【書類名】 要約書**【要約】**

【課題】 必要なパッド数を低減しつつ、3つ以上の導体部材間の容量（寄生容量）を分離して測定しうる容量測定回路を備えた半導体装置を提供する。

【解決手段】 容量測定回路には、PMISFET 1, 2, 3と、NMISFET 4～9とが配置されている。配線W1, W2, w3は、それぞれPMISFET 1, 2, 3を介し、充電用電圧供給部を経て、電源パッドPSTに接続されるとともに、それぞれNMISFET 7, 8, 9を介し、電流取り出し部を経て、電流モニター用パッド41に接続されている。そして、電流モニター用パッド41に電流計45のプローブを接触させて電流Iを測定することができる。

【選択図】 図1

特願 2 0 0 3 - 2 7 1 8 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 8 日
新規登録

住 所
氏 名

大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社

特願 2 0 0 3 - 2 7 1 8 8 3

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ